

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03875633 \*\*Image available\*\*

**MANUFACTURE OF THIN FILM TRANSISTOR**

PUB. NO.: **04-240733** [JP 4240733 A]

PUBLISHED: August 28, 1992 (19920828)

INVENTOR(s): TAKAHARA KENICHI

TAMASU RITORU

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-007605 [JP 917605]

FILED: January 25, 1991 (19910125)

INTL CLASS: [5] H01L-021/336; H01L-029/784; C30B-001/02; H01L-021/20

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 13.1 (INORGANIC CHEMISTRY -- Processing Operations)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC MATERIALS

-- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1303, Vol. 17, No. 9, Pg. 28, January 08, 1993 (19930108)

**ABSTRACT**

PURPOSE: To obtain an excellent electric characteristic and make faster, more high-powered, and a consumption power lower with high reliability by a method wherein, after a Si layer is formed as a positive region, an insulating thin film layer as a gate insulating film is formed within a same chamber without breaking a vacuum to form the pure interface.

CONSTITUTION: Through a process of forming source and drain regions 107 comprising a semiconductor containing impurities to be a donor or an acceptor on an insulating substrate 101, a process of forming a silicon layer 102 as a positive region, a process of forming gate insulating films 103, 104, a process of forming a gate electrode 105, and the like, a thin film transistor is manufactured. In such case, after the silicon layer 102 as the positive region has been formed, the insulating thin film layer 103 as the gate insulating film is formed within a same chamber without breaking a vacuum. For instance, the silicon layer 102 is formed by an ECR-plasma technology and successively the first gate insulating film layer 103 is formed.

DIALOG(R)File 352:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
009208890

WPI Acc No: 1992-336312/199241

XRAM Acc No: C92-149667

XRPX Acc No: N92-256480

Thin film type transistor prodn. - by forming silicon@ layer on  
insulative wafer and insulative thin film as gate insulation film in same  
vacuum chamber without breaking vacuum state

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 4240733 | A    | 19920828 | JP 917605   | A    | 19910125 | 199241 B |

Priority Applications (No Type Date): JP 917605 A 19910125

Patent Details:

| Patent No  | Kind | Lan Pg | Main IPC     | Filing Notes |
|------------|------|--------|--------------|--------------|
| JP 4240733 | A    | 5      | H01L-021/336 |              |

Abstract (Basic): JP 4240733 A

Process comprises forming a Si layer as an active area on an  
insulating wafer in a vacuum chamber and forming an insulating thin  
film as a gate insulation film in the same chamber, without breaking  
the vacuum state.

USE - For semiconductor device prodn. facilities.

Dwg.1/1

Title Terms: THIN; FILM; TYPE; TRANSISTOR; PRODUCE; FORMING; SILICON;  
LAYER ; INSULATE; WAFER; INSULATE; THIN; FILM; GATE; INSULATE; FILM;  
VACUUM; CHAMBER; BREAK; VACUUM; STATE

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): C30B-001/02; H01L-021/20;

H01L-029/784

File Segment: CPI; EPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-240733

(43)公開日 平成4年(1992)8月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/336

29/784

C 30 B 1/02

9151-4G

H 01 L 21/20

9171-4M

9056-4M

H 01 L 29/78

311 Y

審査請求 未請求 請求項の数8(全5頁)

(21)出願番号

特願平3-7605

(22)出願日

平成3年(1991)1月25日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 高原 研一

長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内

(72)発明者 タマス リトル

長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内

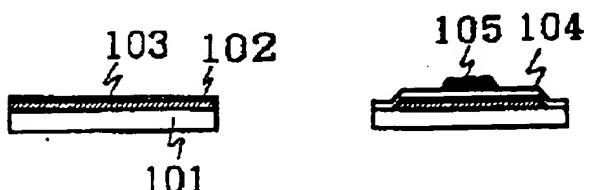
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】 (修正有)

【構成】能動領域であるシリコン層と、ゲート絶縁膜層とを、ECR-プラズマ技術により真空中で連続形成する。その後、ソース及びドレイン領域を自己整合的に形成し、能動領域であるシリコン層を、レーザーアニール法や固相成長法を用いて再結晶化させる。

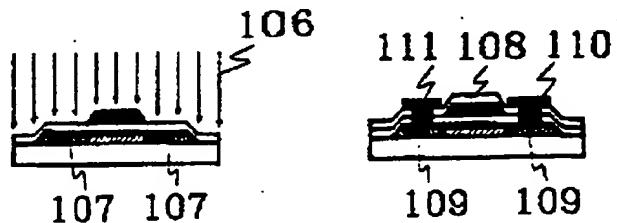
【効果】MOS界面を真空中で連続形成するため、界面が清浄である。また、その連続形成をECR-プラズマ技術により行うため、界面及び薄膜中に大気中の不純物を含むことがなく、またガス流量を変化させる事でも、薄膜中及び界面でのトラップ準位を減少させる事ができるため、さらに良好な電気的特性が得られる。その後シリコン層を再結晶化させると、界面が清浄であるため、再結晶化に伴う欠陥も生ずる事なく、その効果を最大限に引き出す事ができる。また、ソース及びドレイン領域を自己整合的に形成する事によって、寄生容量を減らし、接合欠陥もなくす事ができる。



(a)



(b)



(c)



(d)

## 【特許請求の範囲】

【請求項1】絶縁基板上に、ドナーあるいはアクセプターとなる不純物を含んだ半導体よりなる、ソース及びドレイン領域を形成する工程と、能動領域としてのシリコン層を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを含む、薄膜トランジスタの製造方法において、能動領域としてのシリコン層を形成した後、真空を破らずに同一チャンバー内でゲート絶縁膜としての絶縁薄膜層を形成することを特徴とする、薄膜トランジスタの製造方法。

【請求項2】請求項1におけるシリコン層及びそれと接する、ゲート絶縁膜層の形成を、ECR-プラズマ技術により、真空を破らずに同一チャンバー内で行ったことを特徴とする、薄膜トランジスタの製造方法。

【請求項3】請求項1または請求項2の、ECR-プラズマ技術により形成された、半導体薄膜層とゲート絶縁膜層との境界部分が、物質的に連続であるように形成したことを特徴とする、薄膜トランジスタの製造方法。

【請求項4】請求項1または請求項2において、シリコン層を形成した後、同一チャンバー内において水蒸気圧気にさらし、その後連続して成膜したことを特徴とする、薄膜トランジスタの製造方法。

【請求項5】請求項1のソース及びドレイン領域の形成を、自己整合的に行なったことを特徴とする、薄膜トランジスタの製造方法。

【請求項6】請求項1の能動領域としてのシリコン層を、再結晶化した事を特徴とする、薄膜トランジスタの製造方法。

【請求項7】請求項1または請求項5のシリコン層の再結晶化に、固相成長法を用いたことを特徴とする、薄膜トランジスタの製造方法。

【請求項8】請求項1または請求項5のシリコン層の再結晶化に、レーザーアニール法を用いた事を特徴とする、薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、絶縁基板上に形成され、液晶表示装置やイメージスキャナーなどへの応用が有効な、薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】従来の、絶縁基板上に形成された薄膜トランジスタの製造方法の一例を図3に示す。まず、透明絶縁基板301上に、ソース・ドレイン領域として高濃度不純物を添加した半導体薄膜層302を形成し、バターニングし図3(a)とする。その後、能動領域としての半導体層303を積層・バターニングし、ついでゲート絶縁膜304を積層して図3(b)になる。その後、ゲート電極305を積層・バターニングし、層間絶縁膜306を積層し、コンタクトホール307を開口した後、ソース電極端子308、ドレイン電極端子3

09を形成して図3(c)の様な薄膜トランジスタが完成する。

【0003】前記従来の技術では、ソース・ドレイン領域を、不純物を含んだ半導体薄膜により形成したが、この方法によると、ゲート電極と、ソース及びドレイン領域との重なりが、寄生容量となり、薄膜トランジスタの高速化に不利である。また、ソース及びドレイン領域と、能動領域である半導体層とのコンタクトにおいて、接合欠陥が存在するため、オフ電流を下げる。そこで、考えられたのが、ソース及びドレイン領域の形成を、イオン打ち込み法などにより自己整合的に形成する方法である。この方法により形成された薄膜トランジスタの構造を図4に示す。401は絶縁基板、402はイオン打ち込み法などにより自己整合的に形成されたソース・ドレイン領域、403は能動領域、404はゲート絶縁膜、405はゲート電極、406は層間絶縁膜、407はコンタクトホール、408はソース電極、409はドレイン電極をそれぞれ表している。

【0004】この図4に示されたように、ソース及びドレイン領域を、自己整合的に形成する事に依って、ソース及びドレイン領域と、ゲート電極との重なり部分は、不純物の拡散領域だけとなり、薄膜トランジスタの高速化も可能となる。また前述のような接合欠陥もなくなり、オフ電流を抑える事ができる。

【0005】近年、この様にして得られた薄膜トランジスタの用途として、液晶装置への応用などが考えられて来ている。そのため、絶縁基板としては安価で大面積化が可能な硝子基板の使用が望まれている。しかしながら硝子基板は耐熱性に欠けており、ゲート絶縁膜の形成法に気相成長法を用いざるをえない。従って前記従来の技術に述べたようなコブラナ一型の薄膜トランジスタにおいては、能動領域である半導体層と、ゲート絶縁膜との界面において組成のずれが大きく、しかも能動領域表面に不純物などの付着物が存在しているため、清浄な界面を形成する事が困難であり、良好な電気的特性を得る事が難しかった。

【0006】一方、能動領域の易動度を高める手段として能動領域を再結晶化する方法が提案されている。しかし、前述の従来の技術により形成された、清浄な界面を持たない薄膜トランジスタにおいては、能動領域表面に付着した不純物が、再結晶化の際に能動領域内部に進入し欠陥となるため、再結晶化の効果も小さかった。

【0007】本発明は、このような能動領域形成後にゲート絶縁膜を形成する工程を含む、薄膜トランジスタの製造方法の問題点を解決するもので、その目的とするところは、清浄な界面を形成し、良好な電気的特性を得るとともに、ソース及びドレイン領域の形成を、自己整合的に行い、さらに能動領域であるシリコン層を再結晶化することによって、高速化・高性能化・低消費電力化が可能で、信頼性の高い薄膜トランジスタの製造方法を提

供するところにある。

【0008】

【課題を解決するための手段】本発明は、絶縁基板上に、ドナーあるいはアクセプターとなる不純物を含んだ半導体よりなる、ソース及びドレイン領域を形成する工程と、能動領域としてのシリコン層を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを含む、薄膜トランジスタの製造方法において、能動領域としてのシリコン層と、それに接するゲート絶縁膜層を、真空を破らずに同一チャンバー内で形成した後、ソース及びドレイン領域を自己整合的に形成し、さらに能動領域としてのシリコン層を再結晶化することを特徴とする。

【0009】

【実施例】図1は、薄膜トランジスタの製造方法における、本発明の1つの実施例を製造工程順に示した図である。まず、図1(a)に示すように絶縁基板101上に、シリコン層102を、ECR-プラズマ技術によって形成し、真空を破らずに同一チャンバー内で、連続して第1のゲート絶縁膜層103を形成する。その後、レーザーアニール処理を行う事によって、能動領域となるシリコン層の再結晶化を行う。その後第1のゲート絶縁膜層103及びシリコン層102を同時にバターニングし、続いて第2のゲート絶縁膜層104を全面に形成する。前記第2のゲート絶縁膜層104には、二酸化珪素膜や空化珪素膜などが、常圧CVD法、減圧CVD法、プラズマCVD法、ECR-プラズマCVD法、光CVD法、またはこれらの組合せにより、形成され、使用される。ついでゲート電極となる導体薄膜層をスパッタ法などにより形成した後、ゲート電極105となる部分を除きエッチングして、第1図(b)を得る。ゲート電極には、Al・Cr等の金属や、多結晶シリコン等の導体薄膜が使用される。ついで、図1(c)に示されるように、イオンインプランテーション法や、イオンドーピング法などの、イオン打ち込み法により、不純物106を打ち込む事によって、ソース及びドレイン領域107を形成する。次に、層間絶縁膜層108を積層、ついで、ソース・ドレイン電極を形成する部分の第1のゲート絶縁膜層103、第2のゲート絶縁膜層104及び層間絶縁膜層108を除去し、コンタクトホール109とし、その部分にソース電極110、ドレイン電極111を形成し、第1図(d)となる。上記層間絶縁膜層108には、前記第2のゲート絶縁膜層104の形成において、用いられた方法と同様な方法で形成される絶縁膜の他に、ポリイミド等が使用されることもある。

【0010】本実施例において、能動領域であるシリコン層とゲート絶縁膜層とをECR-プラズマ技術により連続成膜した際の、形成ガス流量の時間変化を図2(a)に示す。この方法を用いると、能動領域であるシリコン層とゲート絶縁膜層との界面は大気にさらされる

事がないため、自然酸化膜や表面への不純物の付着などがない清浄な界面となり、良好な電気的特性が得られる。さらに別な方法として、図2(b)に示されるように、形成ガス流量を変化させる事も可能である。この方法を用いると、先の方法で得られる利点に加えて、能動領域であるシリコン層とゲート絶縁膜層との、物質の不連続性を解消する事ができる。その結果、接合欠陥が小さくなるため、能動領域であるシリコン層の端面でトラップされる電荷を少なくする事ができる。一方、図2

10 (c) のようにガス流量を変化させても、シリコン端面における電荷のトラップを少なくする事ができる。この方法によれば、シリコン層を形成した後、水素ガスを流し続ける事によって、電荷のトラップの原因であるシリコン端面のダングリングボンド(不対電子対)を埋め事ができる。その結果やはり良好な電気的特性が得られる。それに加えて、ECR-プラズマ技術によりシリコン層及びゲート絶縁膜層を形成する際には、その形成圧力が、ミリメートル程度の高真空になっているため、大気中の不純物が成膜された薄膜中に混入する恐れもなく、それによるトラップのない、理想的な薄膜が形成できる。

【0011】さらにこのようにして得られたシリコン層を再結晶化すると、シリコン層の易動度が上がる。先に述べたように、シリコン層とゲート絶縁膜層との界面には不純物の付着がなく清浄であるため、シリコン層を再結晶化した場合には、界面の不純物により薄膜中にトラップが形成される事もなく、再結晶化の効果を最大限に引き出す事ができる。本実施例においては、能動領域であるシリコン層の再結晶化の為のレーザーアニール処理を、前記第1のゲート絶縁膜形成後に行ったが、これは前記第1のゲート絶縁膜を形成した後であれば、いつ行っても良い。一方、能動領域であるシリコン層の再結晶化に、固相成長法を用いた場合にも同様の事が言える。

【0012】また、本実施例においては、ソース・ドレイン領域の形成を自己整合的に形成したが、不純物を添加した半導体薄膜層を用いた場合も、清浄な界面を形成できる事は言うまでもない。

【0013】

【発明の効果】以上簡単に説明したように、本発明の薄膜トランジスタの製造方法によれば、以下の数多くの効果が得られる。

1. 能動領域を形成した後、ゲート絶縁膜を形成するコブラナー型薄膜トランジスタにおいては、能動領域であるシリコン層とゲート絶縁膜層とを真空中で連続成膜するため、シリコン層表面への不純物等の付着がなく、また自然酸化膜も存在しないため、清浄な界面を形成できる。

2. 上記の1で述べた、ゲート絶縁膜と能動領域であるシリコン層との連続成膜を、ECR-プラズマ技術を用いて行うことにより、大気中の不純物などの薄膜中への

混入が防げる。従って、不純物による薄膜中の欠陥及びトラップを減らす事ができる。

3. 能動領域であるシリコン層と、それと接するゲート絶縁膜層との連続成膜の際に、境界面を物理的に連続にする事によって、薄膜層端面での組成のズレを少なくする事ができ、従って良好な電気的特性が得られた。

4. 能動領域であるシリコン層と、それと接するゲート絶縁膜層との連続成膜の際に、シリコン層形成後に、水素ガスを単独で流す事によって、シリコン層端面でのトラップ部位を埋める事ができ、従って良好な電気的特性が得られた。

5. ソース及びドレイン領域の形成を、自己整合的に行うため、ゲート電極とソース及びドレイン領域との寄生容量を減らす事ができ、また能動領域とソース及びドレイン領域との接合欠陥もなくす事ができた。

6. 清浄な界面を持つ、能動領域であるシリコン層を再結晶化させる事によって、シリコン内部に欠陥を生じる事なく、シリコン層の易動度を上げる事によって特性の向上ができた。

7. 能動領域であるシリコン層の再結晶化を、固相成長法で行う事によって、シリコン層の高移動度化ができると共に、ゲート絶縁膜中の欠陥をも同時に回復させる事ができる。

8. 能動領域であるシリコン層の再結晶化を、レーザーアニール法で行う事によって、ガラス基板には熱衝撃を与えることなく、シリコン層の高移動度化ができる。

【0014】以上の数多くの効果によって、高速化・高性能化・低消費電力化が可能で、信頼性の高い、薄膜トランジスタを構成できる。

【図面の簡単な説明】

【図1】(a)～(d) 本発明の、実施例に示した薄膜トランジスタの、製造工程ごとの断面図。

【図2】(a)～(c) 本発明の、実施例において、シリコン層とゲート絶縁膜層との連続成膜の際のガス流量の時間変化を表す図。

10 【図3】(a)～(c) 従来のコブラナー型薄膜トランジスタの、製造工程ごとの断面図。

【図4】従来のコブラナー型で、ソース・ドレイン領域を自己整合的に形成した薄膜トランジスタの素子断面図。

【符号の説明】

101、301、401 絶縁基板

107、302、402 ソース・ドレイン領域

102、303、403 能動領域となる半導体層

103、104、304、404 ゲート絶縁膜

105、305、405 ゲート電極

106 不純物

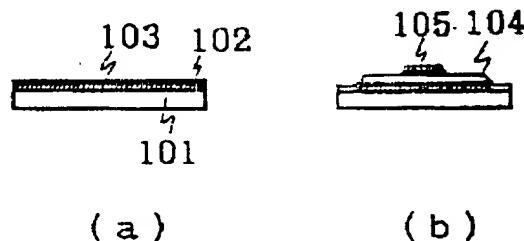
108、306、406 層間絶縁膜

109、307、407 コンタクトホール

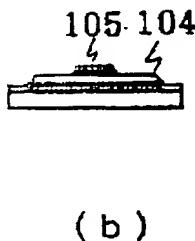
110、308、408 ソース電極

111、309、409 ドレイン電極

【図1】

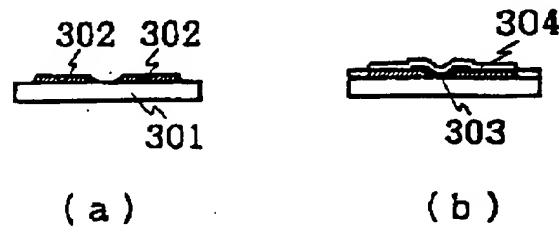


(a)



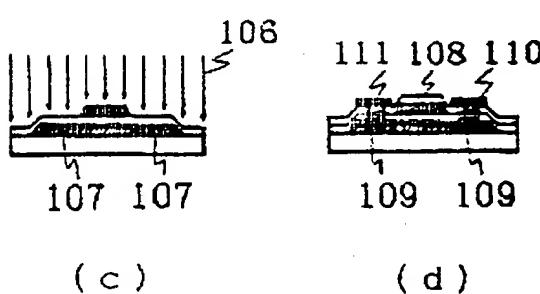
(b)

【図3】



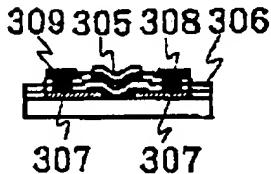
(a)

(b)



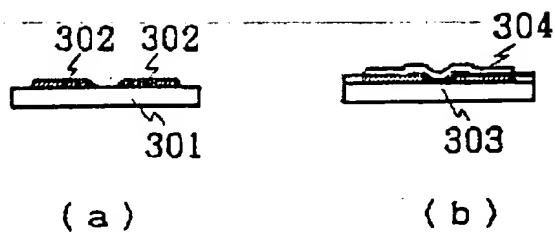
(c)

(d)

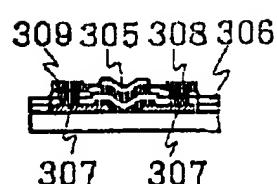
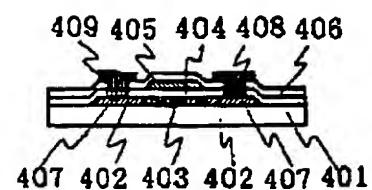


(c)

【図3】



【図4】



(c)